

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-145348

(43) 公開日 平成10年(1998) 5月29日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 L 7/033

H 0 4 L 7/02

B

H 0 3 L 7/093

H 0 3 L 7/08

E

審査請求 有 請求項の数11 F D (全 12 頁)

(21) 出願番号 特願平9-19823

(22) 出願日 平成9年(1997) 1月17日

(31) 優先権主張番号 特願平8-265182

(32) 優先日 平8(1996) 9月13日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 中村 聡

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 田島 章雄

東京都港区芝五丁目7番1号 日本電気株式会社内

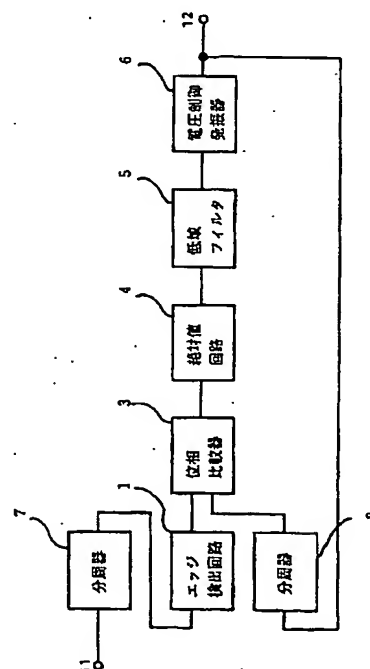
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 クロック抽出回路

(57) 【要約】

【課題】 装置の構成を簡易化すると共に伝送効率の向上を達成し、集積化及び小型化に好適とされ、位相比較器の動作速度に制限されない動作速度の高いクロック抽出回路の提供。

【解決手段】 入力信号をm分周した信号と、電圧制御発振器により出力された抽出クロック信号をn分周した信号とを位相比較し、絶対値回路によりその位相比較器の出力の絶対値をとる。そして絶対値回路の出力は、低域フィルタを通り前述の電圧制御発振器を制御し、クロック抽出回路を構成する。



【特許請求の範囲】

【請求項1】 ノンリターンゼロ信号を受信して信号再生を行うためのクロック抽出回路であって、受信したノンリターンゼロ信号を m 分周（但し、 m は所定の正数）した信号と、前記受信したノンリターンゼロ信号の伝送レートにほぼ等しい周波数で電圧制御発振器により発振している信号を n 分周（但し、 n は所定の正数）した信号とを、位相比較することにより、同期クロック信号を抽出する、ことを特徴とするクロック抽出回路。

【請求項2】 受信するノンリターンゼロ信号を m 分周する第1の分周回路と、前記第1の分周回路の出力の変化点を検出するエッジ検出回路と、前記受信するノンリターンゼロ信号の伝送レートにほぼ等しい周波数領域のクロック信号を発振出力する電圧制御発振器と、前記電圧制御発振器から出力されたクロック信号を n 分周する第2の分周回路と、前記エッジ検出回路により検出されたエッジパルスと、前記第2の分周器により分周されたクロック信号とを入力とし、前記受信したノンリターンゼロ信号と前記分周されたクロック信号の位相とを比較する位相比較器と、前記位相比較器の出力値の絶対値を出力する絶対値回路と、を備えることを特徴とするクロック抽出回路。

【請求項3】 受信するノンリターンゼロ信号を m 分周する第1の分周回路と、前記第1の分周回路の出力の変化点を検出するエッジ検出回路と、前記受信するノンリターンゼロ信号の伝送レートにほぼ等しい周波数領域でクロック信号を発振する電圧制御発振器と、前記電圧制御発振器により発振させられたクロック信号により、 m 分周した受信信号とクロック信号を位相比較する位相比較器と、前記位相比較器の出力値の絶対値を出力する絶対値回路と、を備えることを特徴とするクロック抽出回路。

【請求項4】 受信するノンリターンゼロ信号の出力の変化点を検出するエッジ検出回路と、前記受信するノンリターンゼロ信号の伝送レートにほぼ等しい周波数領域でクロック信号を発振する電圧制御発振器と、前記電圧制御発振器により発振させられたクロック信号を n 分周する分周回路と、前記エッジ検出回路により検出されたエッジパルスと前記分周器により n 分周されたクロック信号により、受信したノンリターンゼロ信号と n 分周（但し、 n は所定の正数）されたクロック信号の位相を比較する位相比較器

と、前記位相比較器の出力値の絶対値を出力する絶対値回路と、を備えることを特徴とするクロック抽出回路。

【請求項5】 受信するノンリターンゼロ信号を2分周する第1の分周回路と、前記第1の分周回路の出力の変化点を検出するエッジ検出回路と、前記受信するノンリターンゼロ信号の伝送レートにほぼ等しい周波数領域でクロック信号を発振する電圧制御発振器と、前記電圧制御発振器により発振させられたクロック信号を2分周する第2の分周回路と、前記エッジ検出回路により検出されたエッジパルスと前記分周器により分周されたクロック信号により、分周されたノンリターンゼロ信号と分周されたクロック信号の位相を比較する位相比較器と、前記位相比較器の出力値の絶対値を出力する絶対値回路と、を備えることを特徴とするクロック抽出回路。

【請求項6】 受信するノンリターンゼロ信号の変化点を検出するエッジ検出回路と、前記受信するノンリターンゼロ信号の伝送レートにほぼ等しい周波数領域でクロック信号を発振する電圧制御発振器と、前記電圧制御発振器により発振させられたクロック信号を2分周する分周回路と、前記エッジ検出回路により検出されたエッジパルスと前記分周器により分周されたクロック信号により、受信したノンリターンゼロ信号と分周されたクロック信号の位相を比較する位相比較器と、前記位相比較器の出力値の絶対値を出力する絶対値回路と、を備えることを特徴とするクロック抽出回路。

【請求項7】 受信するノンリターンゼロ信号を2分周する第1の分周回路と、前記第1の分周回路の出力の変化点を検出するエッジ検出回路と、前記受信するノンリターンゼロ信号の伝送レートにほぼ等しい周波数領域でクロック信号を発振する電圧制御発振器と、前記エッジ検出回路により検出されたエッジパルスと前記電圧制御発振器により発振させられたクロック信号により、分周されたノンリターンゼロ信号と前記クロック信号の位相を比較する位相比較器と、前記位相比較器の出力値の絶対値を出力する絶対値回路と、を備えることを特徴とするクロック抽出回路。

【請求項8】 請求項2から請求項7のいずれかに記載のクロック抽出回路における前記絶対値回路が、

3

前記位相比較器の相補出力の一方を、相補入力の方である第1のバイポーラトランジスタのベースに入力し、前記位相比較器の相補出力の他方を、前記相補入力の他方である第2のバイポーラトランジスタのベースに入力し、

前記第1のバイポーラトランジスタのエミッタを第1の抵抗素子の一端に接続し、

前記第2のバイポーラトランジスタのエミッタを第2の抵抗素子の一端に接続し、

前記第1の抵抗素子の他端と、

前記第2の抵抗素子の他端とを、第3のバイポーラトランジスタのコレクタに接続し、

前記第1のバイポーラトランジスタのコレクタと、前記第2のバイポーラトランジスタのコレクタとを、第3の抵抗素子の一端に接続し、

前記第3の抵抗素子の他端を第1の電源電圧に接続し、

前記第3のバイポーラトランジスタのエミッタを第4の抵抗素子の一端に接続し、前記第4の抵抗素子の他端を第2の電源電圧に接続し、

前記第3のバイポーラトランジスタのベースを第3の電源電圧に接続し、

前記第3のバイポーラトランジスタが飽和領域で動作するような状態において、前記第1及び第2のバイポーラトランジスタのコレクタ端子より、前記相補入力の一方と他方の間の差の絶対値に比例した値を出力する、ように構成されたことを特徴とするクロック抽出回路。

【請求項9】請求項2から請求項7のいずれかーに記載の前記絶対値回路が、

前記位相比較器の相補出力の一方を、相補入力の方である第1のバイポーラトランジスタのベースに入力し、前記位相比較器の相補出力の他方を、相補入力の他方である第2のバイポーラトランジスタのベースに入力し、前記第1のバイポーラトランジスタのエミッタを第1の抵抗素子の一端に接続し、

前記第2のバイポーラトランジスタのエミッタを第2の抵抗素子の一端に接続し、

前記第1の抵抗素子の他端と前記第2の抵抗素子の他端とを、第3の抵抗素子の一端に接続し、

前記第1のバイポーラトランジスタのコレクタと、前記第2のバイポーラトランジスタのコレクタとを、第4の抵抗素子の一端に接続し、前記第4の抵抗素子の他端を第1の電源電圧に接続し、

前記第3の抵抗素子の他端を第2の電源電圧に接続し、前記前記第1及び第2のバイポーラトランジスタのコレクタ端子より、前記相補入力の一方と他方の間の差の絶対値に比例した値を出力する、ように構成されたことを特徴とするクロック抽出回路。

【請求項10】請求項2から請求項7のいずれかーに記載のクロック抽出回路における前記絶対値回路において、

4

差動入力信号を入力する差動対を構成するトランジスタ対を備え、

前記トランジスタ対の第1の信号端子同士を共通接続して抵抗を介して第1の電源電圧に接続し、

前記トランジスタ対の第2の信号端子をそれぞれ抵抗を介して共通接続し、該共通接続点を飽和領域で動作するトランジスタもしくは抵抗を介して第2の電源電圧に接続し、

前記トランジスタ対の前記第1の信号端子の共通接続点から前記差動入力信号の差分の絶対値に比例した出力を取り出す、ようにしたことを特徴とする絶対値回路。

【請求項11】請求項10記載の絶対値回路において、前記トランジスタがバイポーラトランジスタ又はMOSトランジスタからなることを特徴とする絶対値回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入力信号からクロック信号を抽出するクロック抽出回路に関し、特に光通信の分野等で用いられるノンリターンゼロ信号からタイミングクロック信号を抽出し、該タイミングクロック信号をデータ再生を行う識別再生器等に供給するクロック抽出回路に関する。

【0002】

【従来の技術】データを時分割多重して伝送・受信して時間分離する、例えばデータの伝送速度が1[Gb/s]以上の高速デジタル通信において、受信部では、受信データを識別する際、時間分離する際に、伝送速度に応じたクロックが必要とされる。従来、時間分離する前の高速データからクロック成分を抽出し、抽出したクロックを用いて識別、及び時間分離を行っていたために、高速で動作するクロック抽出回路が必要とされ、デバイスの特性に負うところが非常に大きかった。そして、データの伝送速度が例えば1[Gb/s]を超える領域では、高速な位相比較器の実現は、困難であった。

【0003】図12は、従来のクロック抽出回路の構成をブロック図にて示したものである。図12を参照すると、この従来のクロック抽出回路は、入力端子11より入力されたノンリターンゼロ(NRZ)信号の変化点を検出するエッジ検出回路1と、エッジ検出回路1の出力を一方の入力端に入力し、電圧制御発振器6の出力信号を他の入力端に入力し、受信したノンリターンゼロ信号と電圧制御発振器6の出力信号との位相を比較する位相比較器3と、位相比較器3の出力を入力とし所定の低域周波数の信号のみを出力する低域フィルタ5と、低域フィルタ5から出力される信号(信号電圧)に応じてパルス信号を発振し、出力端子12および位相比較器3の上記他の入力端に送出する電圧制御発振器6と、を備えて構成されている。

【0004】

【発明が解決しようとする課題】ところで、上記した構

成の従来のクロック抽出回路において、その安定に動作し得る速度の限界を決定するものは、専ら位相比較器3である。すなわち、伝送速度 f [b/s] のノンリターンゼロ信号を受信するためには、位相比較器3も周波数 f [Hz] で動作することが必要とされている。

【0005】しかしながら、実際に供給されている位相比較器の動作速度には、制限があり、所望の高い速度で安定に動作する位相比較器は極めて少ない、というのが実状である。

【0006】このように、従来のクロック抽出回路を備えた受信器を用いた通信システムにおいては、位相比較器の動作速度の限界のために、通信システム全体の情報伝達速度が制限を受けることになる。

【0007】また、高速動作の可能な位相比較器も実現されてはいるものの、これらは極めて高価であり、またその寸法も大とされており、このため装置の低価格化、及び小型化といった、市場の要求に応えることは、困難とされている。

【0008】なお、タイミングクロックの抽出回路として、電圧制御発振器の出力を入力信号の伝送速度とほぼ等しい周波数域まで分周する第1の分周器と、この分周器の出力を $1/2$ に分周する第2の分周器を備え第2の分周器の出力を位相比較器に投入するタイミング抽出回路が、特開昭63-7050号公報に提案されている。しかし、このような構成は、後述するように、ノンリターンゼロ信号の検出に用いた場合には、位相差として誤った値を生じる、ことになる。

【0009】そこで、本発明は、上述したような従来のクロック抽出回路の問題点を鑑みてなされたものであって、その目的は、装置の構成を簡易化すると共に伝送効率の向上を達成し、集積化及び小型化に好適とされ、例えば位相比較器の動作速度に制限されない、動作速度の高いクロック抽出回路を提供することにある。

【0010】

【課題を解決するための手段】前記目的を達成するため、本発明に係るクロック抽出回路は、ノンリターンゼロ信号を受信して信号再生を行うためのクロック抽出回路であって、受信したノンリターンゼロ信号を m 分周（但し、 m は所定の正整数）した信号と、前記受信したノンリターンゼロ信号の伝送レートにほぼ等しい周波数で電圧制御発振器により発振している信号を n 分周（但し、 n は所定の正整数）した信号とを、位相比較することにより、同期クロック信号を抽出する、ことを特徴とする。

【0011】また、本発明は、 m 分周されたノンリターンゼロ信号の出力の変化点を検出するエッジ検出回路と、前記受信したノンリターンゼロ信号の伝送レートにほぼ等しい周波数領域でクロック信号を発振する電圧制御発振器と、前記電圧制御発振器により発振させられたクロック信号を n 分周する分周回路と、前記エッジ検出

回路により検出されたエッジパルスと前記分周器により n 分周されたクロック信号により、 m 分周されたノンリターンゼロ信号と n 分周されたクロック信号の位相を比較する位相比較器と、前記位相比較器の出力値の絶対値を出力する絶対値回路と、を備えることを特徴とする。

【0012】本発明の概要を以下に説明する。本発明は、入力信号を m 分周する分周器と、 m 分周された入力信号の変化点を検出してパルスを発生するエッジ検出回路と、一方の入力に前記エッジ検出回路の出力を受ける位相比較器と、該位相比較器の出力を受けその出力値の絶対値を出力する絶対値回路と、該絶対値回路の出力を受けるローパスフィルタと、該ローパスフィルタの出力により制御される電圧制御発振器と、該電圧制御発振器の出力信号を n 分周する分周器と、を備え、該分周器の出力を前記位相比較器の他の入力に接続する一方、電圧制御発振器の出力からタイミングクロックを抽出するように構成されたものであり、ノンリターンゼロ信号からのタイミングクロック抽出の際の位相差の検出誤差の発生を回避したものである。

【0013】

【発明の実施の形態】本発明の実施の形態について図面を参照して以下に詳細に説明する。

【0014】図1は、本発明の第1の実施の形態に係るクロック抽出回路の構成を示すブロック図である。図1を参照すると、本発明の第1の実施の形態に係るクロック抽出回路は、エッジ検出回路1、分周器2、位相比較器3、絶対値回路4、低域フィルタ5、電圧制御発振器6と、を備えて構成されている。

【0015】入力端子11から入力される入力データ信号はエッジ検出回路1によりその変化点が検出され、変化点に応じた検出パルスが出力される。また、電圧制御発振器6からの抽出クロック信号は、分周器2により分周され、この検出パルスと、分周器2にて分周された抽出クロック信号と、が位相比較器3に投入され、入力データ信号と分周されたクロック信号の位相が比較され、これらの位相誤差に応じた信号が位相比較器3から出力されて絶対値回路4に投入される。

【0016】受信した入力データ信号、及び電圧制御発振器6からのクロック信号を分周したものの位相を比較する時に、従来技術と同様に、入力データ信号の立ち上がり・立ち下がりエッジから入力信号の変化点を検出し得られたエッジパルスにより、電圧制御発振器6から出力されるクロック信号を分周してなる信号の位相誤差情報を得ようとする場合、場合によっては、位相誤差が同じであっても、正、負、全く反対の出力を発生してしまうことが起こりうる。

【0017】この様子を図3に示す。図3(a)は、入力されるデータ信号、図3(b)は、図3(a)の入力データ信号の立ち上がりエッジ、及び立ち下がりエッジを検出することにより発生されるエッジパルス、図3

(c) は、電圧制御発振器6から出力されたクロック信号（抽出されたクロック信号）の信号波形をそれぞれ示している。また、図3（d）は、電圧制御発振器6から出力されたクロック信号を分周器2にて分周した後の信号波形を示している。

【0018】従来方式においては、図3（b）のエッジパルスにより、図3（c）の抽出されたクロック信号と、図3（a）の入力データとの位相誤差が検出され、図3（c）に示すように、エッジパルスとクロック信号の立ち上がり位相比較器3により比較され、その位相誤差に応じた値が出力されていた。図3（c）では、位相誤差 Φ が検出されている様子が示されている。

【0019】しかし、抽出されたクロックが分周された状態で、従来方式のような位相誤差の検出を行うと、図3（d）に示すように、位相誤差は同じであっても、分周されたクロック信号の立ち下がりエッジにおいて位相誤差の検出が行われると、半周期前の立ち上がりエッジに対する位相誤差を検出してしまい、誤った位相誤差の情報を出力してしまう恐れがある。図3（d）には、分周されたクロック信号の立ち下がりエッジにおいて位相誤差の検出が行われると、実際の位相誤差 Φ に対して、位相誤差が $\Phi + \pi$ であるような誤った値を出力してしまう様子が示されている。

【0020】そして、このような誤りは、入力信号がランダムな信号であるため、全く予想することが不可能である。

【0021】図4（a）に、比較例として、従来技術に対応する、位相比較器3が、抽出されたクロックの立ち上がりエッジに対して位相誤差の検出を行った場合の位相誤差と出力の関係を示す。また、図4（b）には、比較例として、位相比較器が、抽出されたクロックの立ち上がり、立ち下がり両エッジに対して位相誤差の検出を行った場合の位相誤差と出力の関係を示す。

【0022】そして、図4（c）には、図4（b）の位相比較器出力に応じた絶対値回路の位相誤差と出力の関係を示す。

【0023】図4（a）に示すように、従来方式においては、位相誤差が $-\pi/2 \sim +\pi/2$ の範囲で位相誤差に応じた出力が一意に得られることがわかる。しかし、図4（b）では、同じ位相誤差であっても、その検出するクロックのエッジが立ち上がりか立ち下がりかで正負逆の値を出力してしまう。

【0024】本発明の実施の形態では、図4（c）に示すように、位相比較器の出力値の絶対値をとることにより、従来技術のように、位相誤差に対し一意の出力が得られ、同期をとることが可能となる。

【0025】ここでは、位相誤差が $0 \sim +\pi/2$ 、 $+\pi \sim +3\pi/2$ の範囲で位相誤差に応じた出力が一意に得られるような構成としている。

【0026】ただし、この結果、本発明の実施の形態で

は、分周されたクロックが入力データに対し、位相誤差が0の時のみならず、 $+\pi$ 位相の遅れた状態でも同期がかかることがありうる。

【0027】この様子を図3（e）に示す。しかし、この場合、分周される前の抽出されたクロックで見た場合は、分周クロックの $+\pi$ の位相の遅れは、元の抽出されたクロックでは、 $+2\pi$ の位相の遅れに当たるため、全く問題はない。

【0028】再び図1を参照して、この絶対値回路4の出力信号は、ローパスフィルタ5に入力され、余分な高周波成分が除去された状態で、ローパスフィルタ5から出力される。このローパスフィルタ5の出力により電圧制御発振器6は発振周波数が制御され、電圧制御発振器6が出力するクロック信号 f [Hz]と、入力されたデータ信号のデータ伝送速度 f [b/s]が等しくなるように位相同期がかけられる。そして抽出されたクロックは出力端子12より外部へ出力される。

【0029】上記した本発明の実施の形態について更に具体的に説明すべく、本発明の実施例について以下に説明する。

【0030】図5は、本発明の一実施例として、エッジ検出回路1の具体的な回路構成の一例を示したものである。図5を参照して、エッジ検出回路1は、相補入力信号 IN 、 $IN_$ を入力とする第1の差動トランジスタ対 $Q1$ 、 $Q2$ 、この第1の差動トランジスタ対（「差動対」ともいう）の定電流源トランジスタ $Q3$ 、第1の差動トランジスタ対の出力を入力とするエミッタフォロワ型トランジスタ $Q4$ 、 $Q5$ 、エミッタフォロワの出力を入力とし、コレクタ出力が容量 C を介して接続された第2の差動トランジスタ対 $Q6$ 、 $Q7$ を含む差動増幅器、この差動増幅器の出力を差動入力してエミッタフォロワ型トランジスタ $Q16$ 、 $Q17$ を介して出力する第3、及び第4の差動トランジスタ対 $Q9$ 、 $Q10$ 、及び $Q11$ 、 $Q12$ 、第3、第4の差動トランジスタ対の共通エミッタに接続されエミッタフォロワ $Q4$ 、 $Q5$ の出力をベース入力とする第5の差動トランジスタ対 $Q13$ 、 $Q14$ 、及び第2、第5の差動トランジスタ対の共通エミッタに定電流を供給するトランジスタ $Q8$ 、 $Q15$ を備えて構成される。

【0031】このうち、第3、第4の差動対及び第5の差動対は、排他的論理和（Exclusive OR）回路を構成しており、例えば第3の差動トランジスタ対 $Q9$ 、 $Q10$ に入力される差動入力信号を A 、 $A_$ とし、第5の差動トランジスタ対 $Q13$ 、 $Q14$ に入力される差動入力信号を B 、 $B_$ とすると、トランジスタ $Q16$ 、 $Q17$ のベースには、EXOR（ A 、 B ）、EXOR（ $A_$ 、 $B_$ ）が入力される。そして、信号 A 、 $A_$ は、エミッタフォロワ $Q4$ 、 $Q5$ の出力信号 B 、 $B_$ から、第2の差動対 $Q6$ 、 $Q7$ の容量 C 及び負荷抵抗で定まる時定数分遅延された信号として第3及び第4の差

動対に入力されており、出力PULSE、PULSE_は入力信号IN、IN_の遷移時において、この遅延時間に対応するパルス幅の信号が出力される。

【0032】図6は、本発明の一実施例として、分周器の具体的な回路構成の一例を示したものである。分周器は、D型フリップフロップの反転出力Q_を入力端子Dに帰還し、入力INの周波数の1/2の周波数の信号が端子Qから出力される。

【0033】図7は、位相比較器の具体的な回路構成の一例を示したものである。図7を参照して、CLK、CLK_を入力とする差動トランジスタQ21、Q22と、エミッタが共通接続されて定電流源トランジスタQ30に接続されたトランジスタQ26、Q27、Q28、Q29と、を備え、トランジスタQ26、Q27のコレクタは差動トランジスタ対Q21、Q22の出力にそれぞれ接続され、トランジスタQ28、Q29のコレクタは、差動トランジスタ対Q21、Q22の出力を入力とするレベルシフト用のトランジスタQ24、Q25のエミッタにそれぞれ接続され、トランジスタQ26、Q27は逆相のPULSE_信号をベース入力とし、トランジスタQ28、Q29は正相のPULSE信号をベース入力とし、トランジスタQ28、Q29のコレクタは、ホールド用の容量C1、C2を介して電源VCCに接続されると共に出力段のエミッタフォロワQ31、32に入力される。図7には、サンプルホールド型比較回路の構成が例示されているが、本発明における位相比較器は、このような構成に限定されるものでない、ことは勿論である。

【0034】図7に示した位相比較回路の動作を簡単に説明すると、PULSE信号がHighレベルの時には、PULSE_信号はLowレベルとなり、トランジスタQ28、Q29がオンし（Q26、Q27はオフ）、トランジスタQ31、32には、CLK、CLK_信号（例えば正弦波状の高速信号波形）を入力とする差動対Q21、Q22の出力がトランジスタQ24、Q25のベース・エミッタ間電圧VBE分降下した電位が入力されると共に、該電位は容量C1、C2にてサンプリングされ、一方PULSE信号がLowレベルの時には、トランジスタQ28、Q29がオフし、トランジスタQ24、Q25への電流パスが切断され、容量C1、C2にサンプルされた電位が保持され、このため出力OUT、OUT_は保持された値（ホールド値）を出力する。

【0035】なお、絶対値回路としては、公知の回路方式を用いることができる他、例えば図8に示すような構成としてもよい。図8を参照して、絶対値回路は、ベース端子に、それぞれ差動入力信号IN、IN_を入力する差動トランジスタ対Q41、Q42と、エミッタフォロワ回路構成のトランジスタQ44と、を備えて構成され、トランジスタQ43は、差動トランジスタ対の可変

電流源、またダイオード接続されたトランジスタQ45はエミッタフォロワ回路の出力レベルを調整するためのレベルシフト回路として作用する。差動トランジスタ対Q41、Q42のコレクタは共通接続されて抵抗R48を介して高位側電源VCCに接続され、差動トランジスタ対Q41、Q42のコレクタの共通接続点は、エミッタフォロワ回路を構成するトランジスタQ44のベースに入力されている。また差動トランジスタ対Q41、Q42のエミッタは、抵抗R46、R47の一端にそれぞれ接続され、抵抗R46、R47の他端は共通接続されて、トランジスタQ43のコレクタに接続され、トランジスタQ43のエミッタは抵抗R49を介して低位側電源VEEに接続されている。

【0036】図8を参照して、この絶対値回路の動作の詳細を説明する。本実施例の場合、前段の位相比較器の出力である、相補信号IN、IN_は非常に低い電位レベルであり、トランジスタQ43は飽和領域で動作している。まず、入力INが徐々にHighレベルから下がってくると（IN_の電位に比べINの電位の方が高い場合）、差動トランジスタ対Q41、Q42のエミッタにそれぞれ一端が接続された抵抗R47、R48の他端とトランジスタQ43のコレクタの接続点である節点E1は、INの電位から、トランジスタQ41のベース・エミッタ間のビルトイン電圧を介して、押し下げられ、その結果、トランジスタQ43のエミッタ・コレクタ間電圧VCEは縮小させられる。

【0037】トランジスタQ43は飽和領域で動作しており、ベースには一定の電源電圧VCSが印加されているため、トランジスタQ43を流れる電流は、INの電位が下がるのに応じて、徐々に減少する。これに応じてエミッタフォロワ出力OUTの電圧は徐々に上昇する。

【0038】次に、入力INがさらにLowレベルへと下がっていくと（IN_の電位に比べINの電位の方が低い場合）、IN_の電位が上昇することにより、節点E1の電位は、トランジスタQ42のベース・エミッタ間のビルトイン電圧を介して、引き上げられ、その結果、トランジスタQ43のエミッタ・コレクタ間電圧VCEは拡大させられる。トランジスタQ43は飽和領域で動作しており、ベースには一定の電源電圧VCSが印加されているため、トランジスタQ43を流れる電流は、IN_の電位が上がるのに応じて（INの電位が更に下がるのに応じて）、徐々に増加し、これに応じてエミッタフォロワ出力OUTの電圧は徐々に減少する。

【0039】これにより、図8に示す絶対値回路は、入力IN、IN_間の絶対値、すなわち、 $|IN - IN_|$ に比例した値を、出力することが分かる。

【0040】図9に、絶対値回路のさらに異なる実施例を示す。図9に示す絶対値回路の構成は、図8に示した回路構成と比較して、バイポーラトランジスタQ43を抵抗素子RCSで置き換えたものである。差動トランジ

スタ対Q41、Q42のエミッタにそれぞれ一端が接続された抵抗R47、R48の他端は共通接続され、节点E1において抵抗RCSの一端と接続され、抵抗RCSの他端は低位側電源VEEに接続されている。

【0041】IN、IN₋は、相補差動入力であるため、図9に示す構成においても、まず、入力INが徐々にHighレベルから下がってくると（IN₋の電位に比べINの電位の方が高い場合）、トランジスタQ41を流れるコレクタ電流は徐々に減少する。これに応じて、出力OUTは、徐々に上昇する。

【0042】次に、入力INがさらにLowレベルへと下がっていくと（IN₋の電位に比べINの電位の方が低い場合）、トランジスタQ42を流れるコレクタ電流は徐々に増加する。これに応じて、出力OUTは、徐々に下降する。その結果、図9に示す絶対値回路は、図8に示す回路構成と同様に、入力IN、IN₋間の絶対値、すなわち $|IN - IN_-|$ に比例した値を出力することが分かる。

【0043】図10には、図8に示した絶対値回路のシミュレーション結果を示す。入力IN、IN₋の値に応じて、 $|IN - IN_-|$ に比例した値をOUTが出力していることが確認できる。

【0044】なお、図8、及び図9には、絶対値回路としてバイポーラトランジスタで構成した回路を示したが、バイポーラトランジスタをMOSトランジスタで置き換えた構成としてもよい。この場合、トランジスタQ41～Q45は、例えばnチャネルMOSトランジスタで構成される。

【0045】次に、本発明の第2の実施の形態について図面を参照して詳細に説明する。図2は、本発明の第2の実施の形態に係るクロック抽出回路の構成を示すブロック図である。

【0046】図2を参照すると、本発明の第2の実施の形態に係るクロック抽出回路は、第1の分周器2、エッジ検出回路1、第2の分周器7、位相比較器3、絶対値回路4、低域フィルタ5、及び電圧制御発振器6を備えて構成されている。

【0047】入力端子11から入力される入力データ信号は、第2の分周器7により分周される。そして分周された入力データは、エッジ検出回路1に入りその変化点が検出され、その変化点に応じた検出パルスが出力される。

【0048】また、電圧制御発振器6からの抽出クロック信号は第1の分周器2により分周される。

【0049】これらの検出パルスと分周された抽出クロック信号とが位相比較器3に入力され、分周された入力データ信号と分周されたクロック信号の位相が比較され、それらの位相誤差に応じた信号が絶対値回路4に送られる。

【0050】抽出されたクロックは出力端子12を通し

て外部へ出力される。入力データがエッジ検出回路1へと入力されずに、第2の分周器7をとおして分周された後にエッジ検出回路1に入力される以外の構成は、前記第1の実施の形態と同様である。

【0051】この第2の実施の形態においては、抽出されたクロック信号のみならず、入力データも第2の分周器7で分周する。そして、分周された入力データの変化点より検出パルスが生成される。

【0052】位相比較器2は、これらの検出パルスと分周された抽出クロック信号とが入力され、分周された入力データ信号と分周されたクロック信号の位相が比較され、これらの位相誤差に応じた信号を絶対値回路4に送られる。

【0053】この第2の実施の形態では、位相比較器3に入力される検出パルスとクロック信号がともに分周されているため、位相比較器3がより低速で動作可能となり、入力データ信号の転送速度が高速の場合でも、位相比較がより確実なものとなる。

【0054】図11(a)、及び図11(b)は、本発明の実施例として、上記した第2の実施の形態の構成のクロック抽出回路について、0.25µmBiCMOSのモデルパラメータを用いて行った回路シミュレーションの結果を示す。

【0055】図11(a)は、4[Gb/s]ノンリターンゼロ信号として“011011011…”の繰り返しを入力した場合に、4[GHz]のクロック信号が抽出されている様子が示されている。

【0056】図11(b)は、回路内部の波形を示しており、差動信号で出力された位相比較器の出力が絶対値回路4を通り、その絶対値を出力され、低域フィルタ5を通ったのち、電圧制御発振器6の制御電圧を出力していることが示されている。

【0057】この例では、伝送速度4Gb/sのデータのエッジをエッジ検出回路1で検出し、制御電圧が0.8V～1.5Vで発振周波数が1.7GHz～5.8GHzである電圧制御発振器6の出力を分周器2で分周し、4GHzのクロック信号を抽出している。

【0058】

【発明の効果】以上説明したように、本発明によれば、従来程度の動作速度の位相比較器を用いた場合でも、高速なクロック抽出回路を実現することができる、という効果を奏する。

【0059】その理由は、本発明においては、位相比較器の動作速度は、データ入力信号の伝送速度の例えば半分で十分とされており、これにより高速なクロック抽出を可能としたためである。そして、本発明によれば、従来方式と同じ位相比較器を用いた場合に、従来に比べ倍の伝送速度までのデータ信号の高速クロック抽出が可能である。

【0060】さらに、本発明によれば、このような高速

13

なクロック抽出回路がオンチップ上に構成できるため、従来に比べ、高速なクロック抽出回路の小型化、及び低価格化を実現することができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の構成を示すブロック図である。

【図2】本発明の第2の実施の形態の構成を示すブロック図である。

【図3】本発明の実施の形態の動作を説明するためのタイムチャートであり、(a)は入力されたノンリターンゼロ信号、(b)はノンリターンゼロ信号の変化点に応じて生成された検出パルス、(c)は抽出されたクロック信号、(d)は抽出されたクロック信号を分周した波形、(e)は抽出されたクロックの分周された信号が位相 π ずれて同期がなくなってしまった場合の波形、をそれぞれ示している。

【図4】位相比較器の位相誤差に対する出力特性を示す図であり、(a)は比較例として従来技術による位相比較器の出力特性を示す図である。(b)は本発明の実施の形態による位相比較器の出力特性を示す図である。

(c)本発明の実施の形態による絶対値回路の出力特性を示す図である。

【図5】本発明の一実施例としてエッジ検出回路の一例を示す回路構成を示す図である。

【図6】本発明の一実施例として分周器の一例を示す回

14

路構成を示す図である。

【図7】本発明の一実施例として位相比較器の一例を示す回路構成を示す図である。

【図8】本発明の一実施例として絶対値回路の一例を示す回路構成を示す図である。

【図9】本発明の一実施例として絶対値回路の別の回路構成を示す図である。

【図10】図8に示した絶対値回路のDC特性を示すシミュレーション結果を示す図である。

【図11】本発明の第2の実施の形態について行ったシミュレーションの結果を示す波形図であり、(a)は4[Gb/s]入力データ波形から4[GHz]のクロック信号が抽出されている波形を示す図である。(b)は回路内部の各部の出力波形を示す図である。

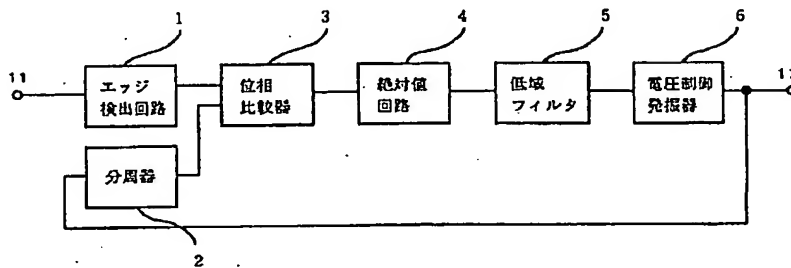
【図12】従来技術の構成を示すブロック図である。

【符号の説明】

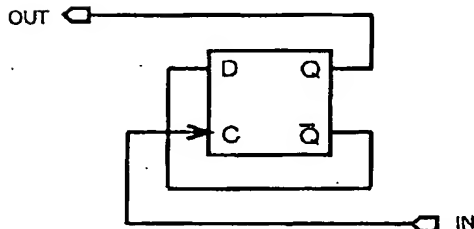
- 1 エッジ検出回路
- 2 (第1の)分周器
- 3 位相比較器
- 4 絶対値回路
- 5 低域フィルタ
- 6 電圧制御発振器
- 7 (第2の)分周器

VCC、VEE、VCS 電源電圧

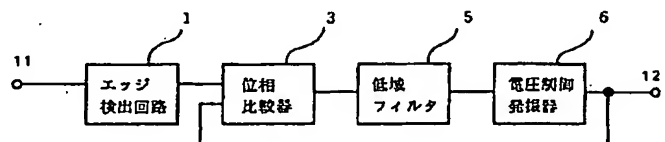
【図1】



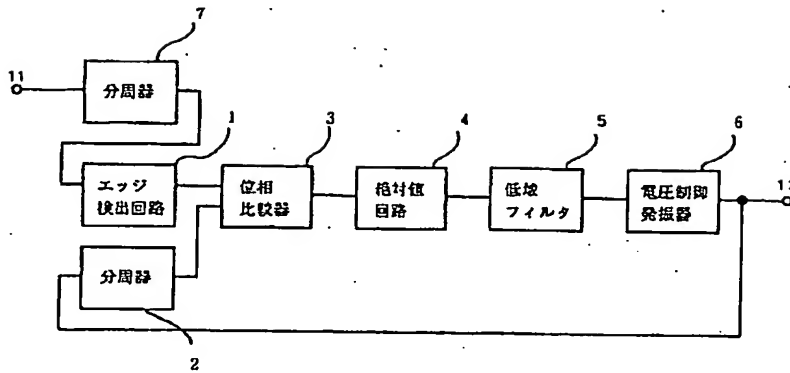
【図6】



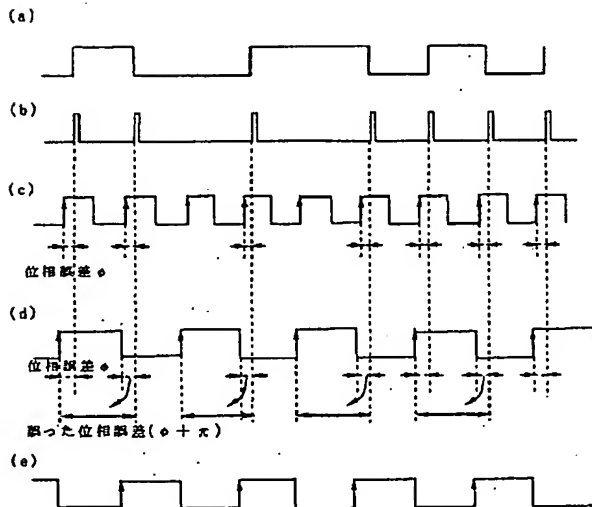
【図12】



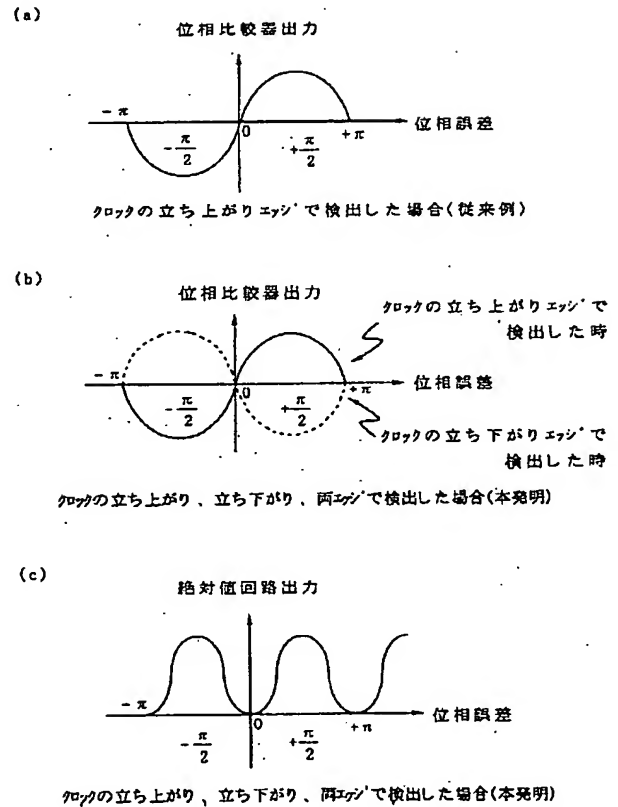
【図2】



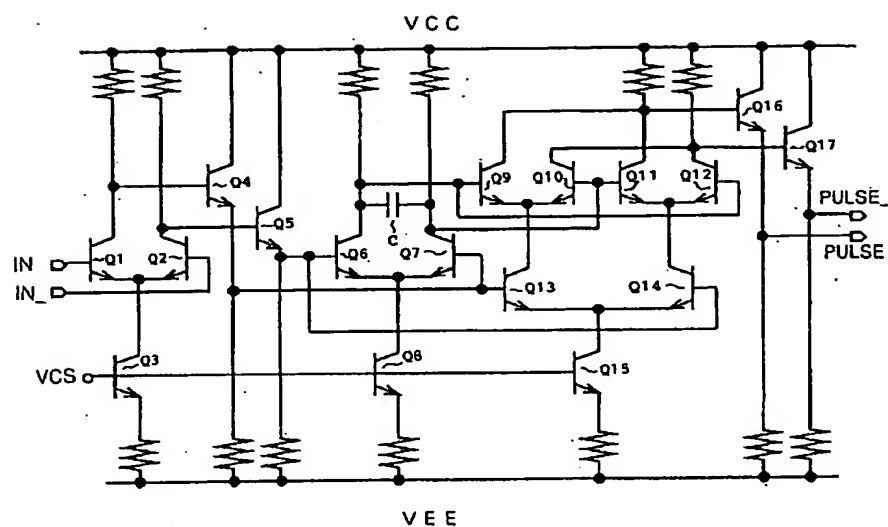
【図3】



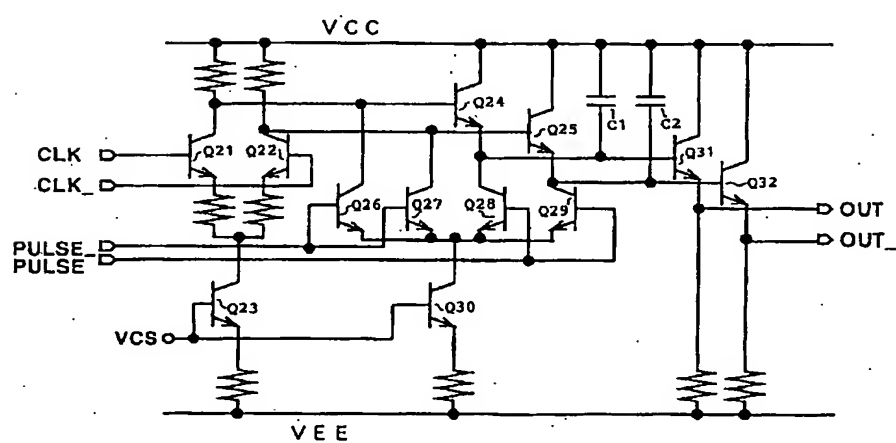
【図4】



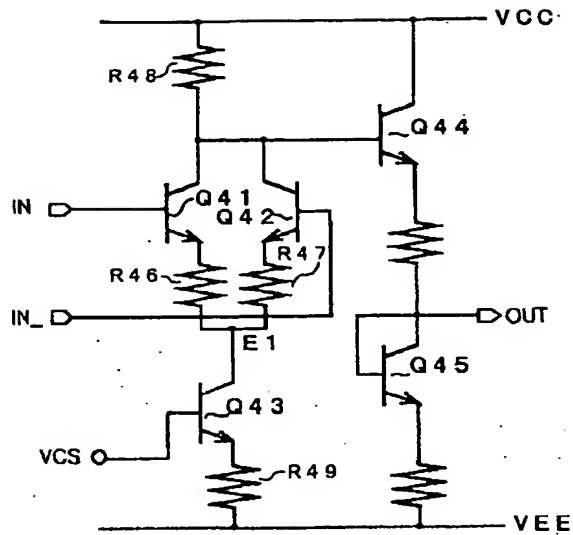
【図5】



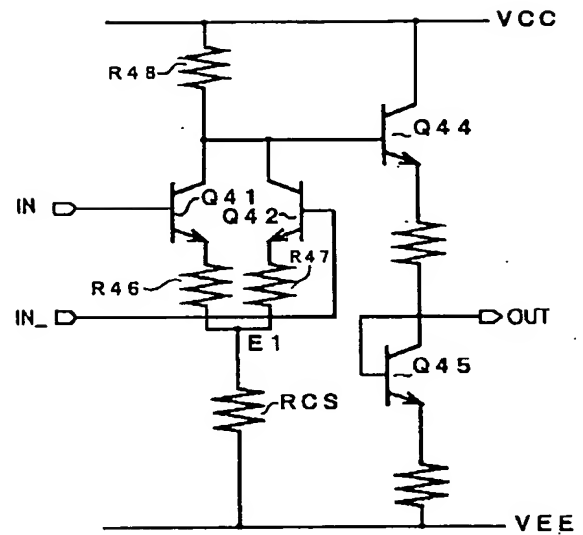
【図7】



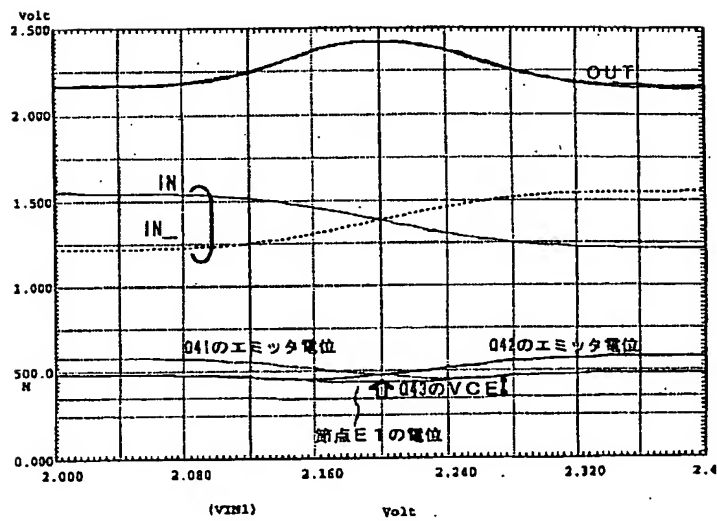
【図8】



【図9】

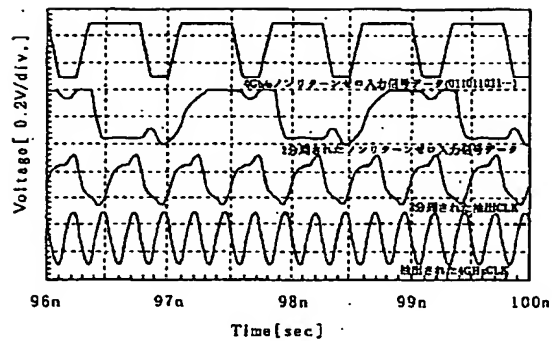


【図10】



【図11】

(a)



(b)

